

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-192960

(43)Date of publication of application : 28.07.1995

(51)Int.Cl.

H01G 4/12
H01F 17/00
H05K 1/11
H05K 3/00
H05K 3/40
H05K 3/46

(21)Application number : 05-331851

(71)Applicant : MURATA MFG CO LTD

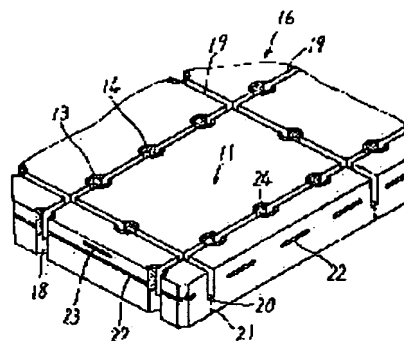
(22)Date of filing : 27.12.1993

(72)Inventor : SAKAI NORIO

(54) MULTILAYER ELECTRONIC DEVICE, PRODUCTION THEREOF AND CHARACTERISTICS MEASURING METHOD**(57)Abstract:**

PURPOSE: To provide a multilayer electronic device in which the effective mounting area can be widened with no interference from the outer electrode at least on one main surface thereof.

CONSTITUTION: In a mother laminate 16 comprising a plurality of insulating sheets laminated through conductive films 22, 23, through holes 18 are made at the splitting positions and filled with conductive material 14 up to the half way thereof. Grooves 19 are then made on the mother laminate 16 in order to split the conductive material 14 into a plurality of parts. Under that state, multilayer electronic devices 11 are subjected to individual measurement of characteristics. When the mother laminate 16 is split along the grooves 19 to obtain a plurality of multilayer electronic devices, outer electrodes 13 are provided by the conductive material 14.

**LEGAL STATUS**

[Date of request for examination]

08.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 1 9 2 9 6 0

(43) 公開日 平成7年(1995)7月28日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 G 4/12	3 4 6			
H 0 1 F 17/00		D 8123- 5 E		
H 0 5 K 1/11		F 7511- 4 E		
3/00		T		
		X		

審査請求 未請求 請求項の数 4

O L

(全 7 頁) 最終頁に続く

(21) 出願番号 特願平5-331851

(22) 出願日 平成5年(1993)12月27日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 酒井 範夫

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

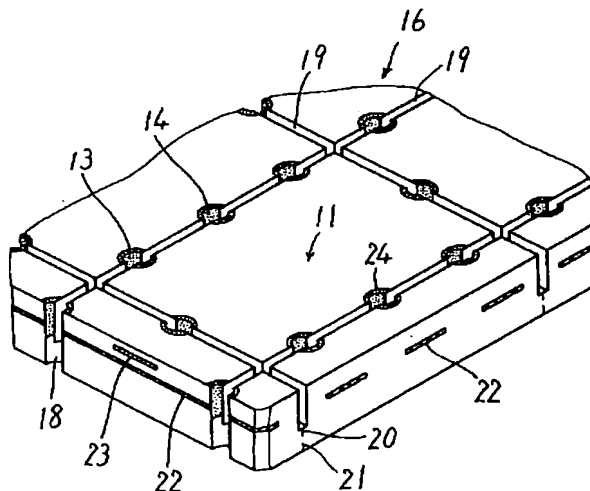
(74) 代理人 弁理士 深見 久郎 (外2名)

(54) 【発明の名称】 積層電子部品、その製造方法およびその特性測定方法

(57) 【要約】

【目的】 その少なくとも一方主面上での有効実装面積を外部電極に干渉されることなくより広くできる積層電子部品を提供する。

【構成】 導電膜 22, 23 を介在させた状態で複数の絶縁性シートが積層されてなるマザー積層体 16 において、分割される位置にスルーホール 18 を設け、このスルーホール 18 の半分まで導電材 14 を付与する。マザー積層体 16 に、溝 19 を形成し、これによって導電材 14 を複数部分に分割する。この状態で、個々の積層電子部品 11 の特性測定を行なえる。溝 19 に沿ってマザー積層体 16 を分割して、複数の積層電子部品 11 を得たとき、導電材 14 によって外部電極 13 が与えられる。



【特許請求の範囲】

【請求項 1】 内部回路要素を介在させた状態で複数の絶縁性シートが積層されてなる積層体、ならびに前記内部回路要素に電氣的に接続されかつ前記積層体の外表面に形成された外部電極を備え、

前記外部電極は、前記積層体に設けられかつ導電材が付与されたスルーホール内部を前記積層体の分割によって露出させることによって形成されたものであり、前記導電材は、前記スルーホールの軸線方向の少なくとも一端部まで届かないように形成されている、積層電子部品。

【請求項 2】 所定の分割線に沿って分割することによって複数の積層電子部品が得られるものであって、前記分割線によって区画される各領域に個々の前記積層電子部品のための内部回路要素を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シートが積層されてなる、マザー積層体を準備し、前記マザー積層体の前記分割線を通る位置にスルーホールを設け、

前記スルーホール内に、その軸線方向の少なくとも一端部まで届かないように、前記内部回路要素に電氣的に接続される導電材を付与し、

前記マザー積層体を前記分割線に沿って分割する、各工程を備える、積層電子部品の製造方法。

【請求項 3】 所定の分割線に沿って分割することによって複数の積層電子部品が得られるものであって、前記分割線によって区画される各領域に個々の前記積層電子部品のための内部回路要素を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シートが積層されてなり、かつ前記分割線を通る位置にスルーホールが設けられ、前記スルーホール内に、その軸線方向の少なくとも一端部まで届かないように、前記内部回路要素に電氣的に接続される導電材が付与された、マザー積層体を準備し、

前記スルーホール内の導電材を複数部分に分割して各部分を互いに電氣的に独立させるように、前記分割線に沿って前記マザー積層体に溝を形成し、分割された前記導電材の各部分を外部電極として個々の積層電子部品の特性を測定する、各工程を備える、積層電子部品の特性測定方法。

【請求項 4】 所定の分割線に沿って分割することによって複数の積層電子部品が得られるものであって、前記分割線によって区画される各領域に個々の前記積層電子部品のための内部回路要素を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シートが積層されてなり、かつ前記分割線を通る位置にスルーホールが設けられ、前記スルーホール内に、その軸線方向の一方端部まで届かないように、前記内部回路要素に電氣的に接続される導電材が付与された、マザー積層体を備え、

前記マザー積層体には、前記スルーホール内の導電材を複数部分に分割して各部分を互いに電氣的に独立させるように、前記分割線に沿って溝が形成された、積層電子部品の集合体。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、内部回路要素を内部に配置した積層電子部品、その製造方法およびその特性測定方法に関するもので、特に、積層電子部品における外部電極の形成態様の改良に関するものである。

【0002】

【従来の技術】 たとえば、積層コンデンサ、積層インダクタ、多層回路基板、多層複合電子部品で代表される積層電子部品は、導電膜および／または抵抗膜のような内部回路要素を介在させた状態で複数の絶縁性シートが積層されてなる積層体を備える。絶縁性シートとしては、典型的には、セラミックシートが用いられる。

【0003】 図 9 は、この発明にとって興味ある従来の積層電子部品 1 の外観を示す斜視図である。積層電子部品 1 は、内部回路要素（図示せず）を介在させた状態で複数の絶縁性シートが積層されてなる積層体 2 を備える。積層体 2 のたとえば 4 つの側面には、内部回路要素に電氣的に接続された外部電極 3 が形成される。これら外部電極 3 は、図 9 において想像線で示すように、スルーホール 4 を分割することによって与えられる。

【0004】 すなわち、所定の分割線に沿って分割することにより複数の積層電子部品 1 が得られるように用意されたマザー積層体 5 において、スルーホール 4 を形成し、その内周面上に外部電極 3 となる導電材 6 を付与した後、このマザー積層体 5 が、スルーホール 4 を分割するように分割される。

【0005】 このような積層電子部品 1 は、チップ状の形態で、外部電極 3 を介して適宜の回路基板上に表面実装される。

【0006】

【発明が解決しようとする課題】 上述したスルーホール 4 への導電材 6 の付与は、一般的に、導電ペーストを用いて、これをスクリーン印刷することにより行なわれる。そのため、外部電極 3 を構成する導電材 6 は、スルーホール 4 の内周面上だけでなく、各一部がスルーホール 4 の周縁部において、積層体 2 の各主面上にまで延びるように付与される。その結果、外部電極 3 は、積層体 2 の各主面上において張出し部 7 を形成する。

【0007】 このような張出し部 7 の存在は、次のような問題を引起す。すなわち、積層電子部品 1 の両主面あるいはいずれかの主面に、別の部品を実装して複合化を図ろうとする場合、このような別の部品の配置可能な面積が制約される。

【0008】 また、外部電極 3 となる導電材 6 が、たとえば銀ペーストの付与および焼付けにより形成される場

合、その上に、銀を保護するため、ニッケルめっきが施され、さらにその上に、半田付け性を良好なものとするため、錫めっきが施されることがある。他方、スルーホール4内に導電材6となる銀ペーストを付与するとき、それが過剰であると、スルーホール4の貫通性が阻害されることがある。しかしながら、このようにスルーホール4の貫通性が阻害されると、上述したようなめっきを、スルーホール4の内部にまで及ぼすことが不可能となる。そのため、スルーホール4を分割して外部電極3を露出させたとき、このような外部電極3上には所望のめっき膜が形成されていない部分が生じてしまい、上述したようなめっきの機能が適正に発揮されない事態が生じる。

【0009】また、積層電子部品1は、少なくとも出荷する前に、その特性を測定しなければならない。しかしながら、積層電子部品1は、原則として、チップの状態としてからでないと、特性を測定することができない。すなわち、マザー積層体5の段階では、個々の積層電子部品1の特性を測定することができず、スルーホール4を分割するようにマザー積層体5を分割した後、初めて特性の測定が可能となる。そのため、多数の積層電子部品1の特性の測定を能率的に行なうことができない。

【0010】それゆえに、この発明の目的は、その少なくとも一方主面を、複合化のための他の部品の実装面としてより広く利用することができ、そのため、部品実装の高密度化を図ることができる、積層電子部品およびその製造方法を提供しようとするものである。

【0011】この発明の他の目的は、複数の積層電子部品の特性測定を能率的に行なうことができる特性測定方法を提供しようとするものである。

【0012】

【課題を解決するための手段】この発明による積層電子部品は、内部回路要素を介在させた状態で複数の絶縁性シートが積層されてなる積層体、および前記内部回路要素に電気的に接続されかつ前記積層体の外表面に形成された外部電極を備え、外部電極は、積層体に設けられかつ導電材が付与されたスルーホールの内部を積層体の分割によって露出させることによって形成されたものであり、前記導電材は、前記スルーホールの軸線方向の少なくとも一方端部まで届かないように形成されていることを特徴としている。

【0013】この発明による積層電子部品の製造方法は、所定の分割線に沿って分割することによって複数の積層電子部品が得られるものであって、前記分割線によって区画される各領域に個々の積層電子部品のための内部回路要素を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シートが積層されてなる、マザー積層体を準備する工程と、マザー積層体の前記分割線を通る位置にスルーホールを設ける工程と、スルーホール内に、その軸線方向の少なくとも一方

端部まで届かないように、内部回路要素に電気的に接続される導電材を付与する工程と、マザー積層体を前記分割線に沿って分割する工程とを備えている。

【0014】この発明による積層電子部品の特性測定方法は、所定の分割線に沿って分割することによって複数の積層電子部品が得られるものであって、前記分割線によって区画される各領域に個々の積層電子部品のための内部回路要素を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シートが積層されてなり、かつ前記分割線を通る位置にスルーホールが設けられ、スルーホール内に、その軸線方向の少なくとも一方端部まで届かないように、内部回路要素に電気的に接続される導電材が付与された、マザー積層体を準備する工程と、スルーホール内の導電材を複数部分に分割して各部分を互いに電気的に独立させるように、前記分割線に沿って前記マザー積層体に溝を形成する工程と、分割された前記導電材の各部分を外部電極として個々の積層電子部品の特性を測定する工程とを備えている。

【0015】上述した特性測定方法において与えられた積層電子部品の形態、すなわち、溝が形成されたマザー積層体からなる積層電子部品の集合体は、そのまま、出荷時の形態とすることもできる。

【0016】

【発明の作用および効果】この発明に係る積層電子部品によれば、スルーホールに付与された導電材を、スルーホールの分割により露出させることによって外部電極が形成され、また、上述の導電材はスルーホールの軸線方向の少なくとも一方端部にまで届かないように形成されているので、導電材が届かないようにされているスルーホールの一方端部側にある積層体の主面上には、外部電極の張出し部が形成されない。そのため、積層体の当該主面を、外部電極に干渉されることなく、複合化のための他の部品の実装面や回路導体形成面として広く利用することができ、その結果、部品実装の高密度化を図ることができる。

【0017】また、この発明に係る積層電子部品の製造方法によれば、積層電子部品を得るための多くの工程を、マザー積層体の状態で実施することができるので、多数の積層電子部品を能率的に製造することができる。また、マザー積層体を分割して複数の積層電子部品を得ようとするとき、この分割線に沿ってマザー積層体に溝を予め形成し、それによって、スルーホール内の導電材に溝を形成するようにすれば、たとえ導電材がスルーホールの貫通性を阻害するように付与されても、外部電極として好ましい性質を与えるためのめっきを、溝の側面上に露出する部分に施すことができる。その結果、マザー積層体を最終的に分割して得られた積層電子部品の外部電極の表面は、このようなめっき膜により確実に覆われた状態となる。

【0018】また、この発明に係る積層電子部品の特性

測定方法によれば、溝を形成することにより、複数の積層電子部品が、電氣的に互いに独立した状態とされながらも、マザー積層体として機械的に一体化されたまま、個々の積層電子部品の特性を測定することができる。したがって、機械的に独立した複数の積層電子部品を取扱う必要がなく、能率的に多数の積層電子部品の特性を測定することができる。

【0019】また、上述した特性測定を実施するための形態である、溝が形成されたマザー積層体からなる積層電子部品の集合体を、そのまま、出荷時の形態とすれば、需要者側において、マザー積層体を溝に沿って分割するだけで、そこから個々の積層電子部品を取出すことができる。この場合、個々の積層電子部品は、その特性測定を既に終えておくことができるので、問題なく実装に供することができるとともに、積層電子部品の集合体は、個々の積層電子部品がばらばらの状態にある場合に比べて、その梱包および取扱いが容易である点に注目すべきである。

【0020】

【実施例】図1および図2は、この発明の一実施例による積層電子部品11の外観を示す斜視図である。積層電子部品11は、図示したチップ状の形態で適宜の回路基板上に実装されるが、図1には、このような実装状態において上方に向く主面側が示され、図2には、実装状態において下方に向く主面側が示されている。

【0021】積層電子部品11は、内部回路要素（図示せず）を介在させた状態で複数の絶縁性シートが積層されてなる積層体12を備える。積層体12のたとえば4つの側面の各々には、積層体12の外表面に露出する外部電極13が形成される。これら外部電極13は、図示しないが、内部回路要素に電氣的に接続されている。

【0022】上述したような外部電極13は、以下に述べる製造方法の説明から明らかになるように、積層体12に設けられかつ導電材14が付与されたスルーホール18の内部を積層体12の分割によって露出させることによって形成されたものであり、導電材14は、スルーホール18の軸線方向の一方端部まで届かないように形成される。また、積層体12のたとえば4つの側面の各々には、段差15が形成されているが、このような段差15が形成される理由も、以下の製造方法の説明から明らかになる。

【0023】上述したような積層電子部品11を得るため、図3に示すようなマザー積層体16が用意される。マザー積層体16は、所定の分割線17（一点鎖線）に沿って分割することにより複数の積層電子部品11を与えるものであって、分割線17によって区画される各領域に個々の積層電子部品のための内部回路要素（図示せず）を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シートが積層されてなるものである。

【0024】上述したようなマザー積層体16を得るため、たとえば、以下のような工程が実施される。

【0025】まず、ドクターブレード法などにより、シート成形を行ない、マザー絶縁性シートとなるべきセラミックグリーンシートを得る。これらセラミックグリーンシートの特定のものには、シートの厚み方向に貫通する電氣的導通を可能とするため、ビアホールがパンチング等により形成させる。次に、セラミックグリーンシートの特定のものの上には、内部回路要素となるべき導電膜および／または抵抗膜が印刷される。このとき、既に形成されたビアホール内に、導電材が充填される。

【0026】次に、上述したようなマザー絶縁性シートが積重ねられ、プレスされる。これによって、マザー積層体16が得られる。

【0027】次に、図3に示すように、マザー積層体16の分割線17を通る位置にスルーホール18が形成される。

【0028】次に、図4に示すように、スルーホール18内に、内部回路要素に電氣的に接続される導電材14が付与される。この導電材14の付与には、たとえば、スルーホール18の一方側に負圧を与えながら他方側からスクリーン印刷により導電材14を付与する方法、ディスペンサにより導電材14を付与する方法などが適用される。このとき、スクリーン印刷による場合には、負圧をコントロールしたり、ディスペンサによる場合には、導電材14の供給量をコントロールしたりして、導電材14は、スルーホール18の軸線方向の一方端部すなわち図4では下方端部まで届かないようにされる。

【0029】次に、図5および図6に示すように、マザー積層体16には、分割線17（図3）に沿って溝19がたとえばダイシングソーによって形成される。溝19は、スルーホール18内の導電材14を複数部分に分割して各部分を互いに電氣的に独立させるような深さに選ばれる。なお、導電材14がスルーホール18の貫通性を阻害する程度に付与されたとしても、上述した溝19の形成は、スルーホール18を再び貫通した状態とし、かつスルーホール18内で導電材14に対して露出する側面を与えることを可能にする。

【0030】次に、図5および図6に示すように、必要に応じて、溝19の底面とそれに対向するマザー積層体16の下面とに、それぞれ、スリット20および21が設けられる。スリット20および21は、いずれか一方が省略されてもよい。

【0031】なお、図6において、内部回路要素となるべき導電膜22および23が図示されている。また、導電膜22が導電材14に電氣的に接続されている状態も図示されている。

【0032】次に、マザー積層体16は、それを構成するマザー絶縁性シートに含まれるセラミックを焼結させるため、焼成される。その後、必要に応じて、マザー積

層体 16 の表裏面に、導電膜および／または抵抗膜が形成され、また、オーバーコートが施され、また、ソルダーレジストが付与される。また、必要に応じて、外部電極 13 となるべき導電材 14 や他の導電膜にめっきが施される。

【0033】以上の工程を終えたとき、マザー積層体 16 に含まれる複数の積層電子部品 11 は、互いに他のものに対して電氣的に独立しているので、溝 19 によって、分断されたスルーホール 18 の各部分に存在する導電材 14 を外部電極として、個々の積層電子部品 11 の特性を測定することができる。

【0034】このように、特性が測定された後、良品と判断された積層電子部品 11 上には、必要に応じて、複合化のための回路導体や他の電子部品が実装される。ここまで述べた工程は、マザー積層体 16 の状態で能率的に行なうことができる。なお、積層電子部品 11 の出荷をこの段階で行なってもよい。

【0035】次に、機械的に独立した複数の積層電子部品 11 を得るため、マザー積層体 16 は、分割線 17 (図 3) すなわち溝 19 (図 5 および図 6) に沿って完全に分割される。この分割は、チョコレートを割るように、マザー積層体 16 を溝 19 に沿って割ることにより容易に達成される。前述したスリット 20 および 21 は、このような分割をより容易にする。なお、このような分割は、溝 19 の幅よりも薄い刃厚のダイシングソーで切断することによって達成してもよい。

【0036】このようにして、図 1 および図 2 に示した積層電子部品 11 が得られる。以上述べた説明からわかるように、段差 15 は、前述した溝 19 の形成の結果もたらされたものである。また、積層体 12 を段差 15 の位置に対応する境界面によって 2 つの部分に区分したとき、外部電極 13 は、一方の部分においてのみ形成されている。そのため、積層電子部品 11 における図 2 に示した主面側では、外部電極 13 に張出し部 24 が形成されるが、図 1 に示した主面側では、外部電極 13 はこの主面上にまで延びていない。したがって、この図 1 に示した主面を、外部電極 13 に干渉されることなく、他の電子部品のための実装面として広く利用することができる。

【0037】次に、積層電子部品 11 は、必要に応じて、ケーシングされる。このケーシングは、積層電子部品 11 のたとえば図 1 に示した主面上に回路導体や他の電子部品が実装されたとき、これを覆うものである。

【0038】以上、この発明を図 1 ないし図 6 に示した実施例に関連したが、この発明の範囲内において、その他いくつかの変形例が可能である。

【0039】たとえば、上述したスルーホール 18 に導電材 14 を付与する工程からスリット 20 および 21 を形成する工程までを、マザー積層体 16 の焼成工程の後

に、スルーホール 18 内に導電材 14 を付与するとき、導電材 14 の付与は、乾式めっきによってもよい。

【0040】また、上述した実施例における焼成工程以降の工程については、その少なくともいくつかが省略されても、その順序が変更されてもよい。

【0041】また、スルーホール 18 内において、その一方端部まで届かないように導電材 14 を付与するため、図 7 および図 8 に示した方法を採用してもよい。すなわち、まず、図 7 に示すように、スルーホール 18 内に導電材 14 が全域にわたって付与される。このとき、導電材 14 は、スルーホール 18 の上方端部側では、張出し部 24 を形成するが、他方端部側では、このような張出し部を形成しないようにするのが好ましい。次に、図 8 に示すように、スルーホール 18 の下方端部側からドリル等を作用させ、この他方端部側で所定の深さの穴 25 が形成され、それによって導電材 14 が下方端部側において除去される。穴 25 の径は、スルーホール 18 の径と同じかまたはこれより若干大きく選ばれる。このようにして、図 4 に示した場合と同様、導電材 14 が、スルーホール 18 内で、その軸線方向の一方端部まで届かないように形成された状態が得られる。

【0042】上述した穴 25 の形成は、導電材 14 の張出し部が形成されない側から行なわれるのが好ましい。なぜなら、積層電子部品 11 における主面の有効実装面積をできるだけ広くするには、穴 25 の径をできるだけ小さいほうが好ましく、このように穴 25 の径をできるだけ小さくするには、導電材 14 の張出し部が形成されない側から穴 25 を形成するのが好ましいからである。

【0043】また、上述した実施例では、導電材 14 が、スルーホール 18 の軸線方向の一方端部まで届かないように付与されたが、スルーホールの軸線方向の両端部において導電材が付与されない領域が形成されてもよい。

【0044】また、スルーホール 18 の断面形状は、円形とされたが、四角形等の他の形状に変更されてもよい。

【0045】また、この発明で用いられる絶縁性シートは、セラミックシートに限らず、他の材料からなる絶縁性シートに置き換えられてもよい。

【0046】また、この発明は、複数の外部電極のすべてがスルーホール内に付与された導電材に基づいて形成された積層電子部品に限らず、外部電極のいくつかは他の方法によって形成された積層電子部品にも適用することができる。

【図面の簡単な説明】

【図 1】この発明の一実施例による積層電子部品 11 を一方主面側から示す斜視図である。

【図 2】図 1 に示した積層電子部品 11 を他方主面側から示す斜視図である。

【図 3】図 1 に示した積層電子部品 11 を得るために準

備されるマザー積層体 16 を示す斜視図である。

【図 4】図 3 に示したマザー積層体 16 のスルーホール 18 内に導電材 14 を付与した状態を示す断面図である。

【図 5】図 4 に示した工程の後、スルーホール 18 を通る位置に溝 19 ならびにスリット 20 および 21 を形成した状態を示す拡大断面図である。

【図 6】図 5 に示した状態にあるマザー積層体 16 の一部を示す拡大斜視図である。

【図 7】この発明の他の実施例においてマザー積層体 16 のスルーホール 18 内に導電材 14 を付与した状態を示す断面図である。

【図 8】図 7 に示した工程の後、導電材 14 をスルーホール 18 の下方端部側で除去した状態を示す断面図であ

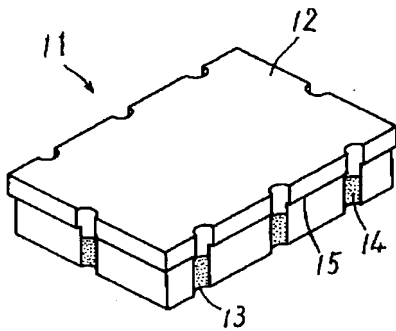
る。

【図 9】この発明にとって興味ある従来の積層電子部品 1 の外観を示す斜視図である。

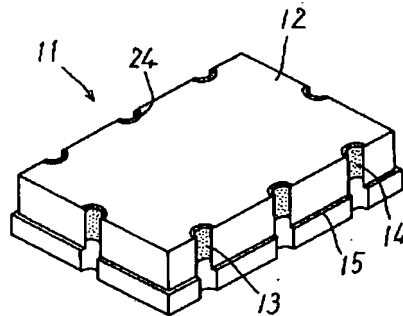
【符号の説明】

- 1 1 積層電子部品
- 1 2 積層体
- 1 3 外部電極
- 1 4 導電材
- 1 6 マザー積層体
- 1 7 分割線
- 1 8 スルーホール
- 1 9 溝
- 2 2, 2 3 導電膜 (内部回路要素)

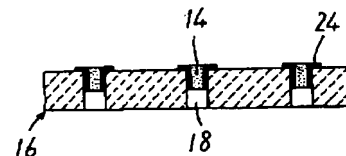
【図 1】



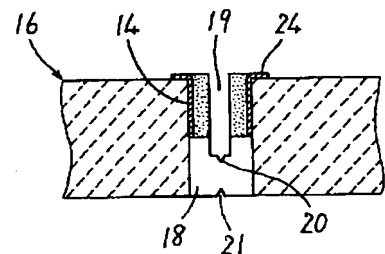
【図 2】



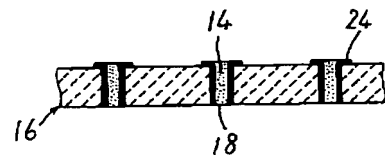
【図 4】



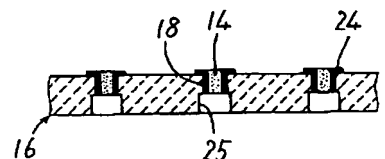
【図 5】



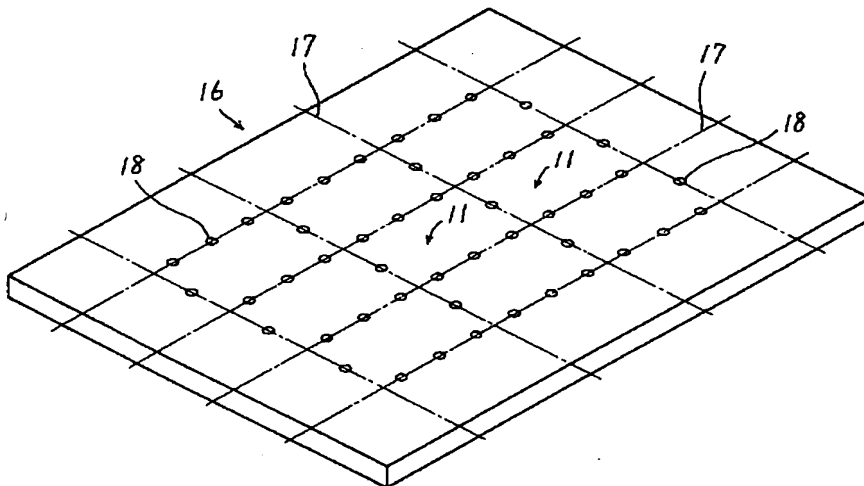
【図 7】



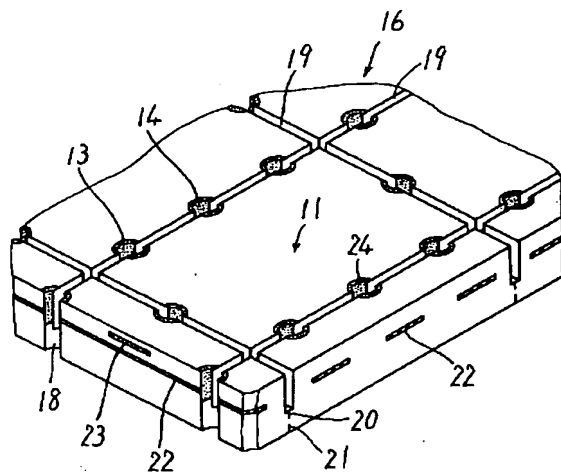
【図 8】



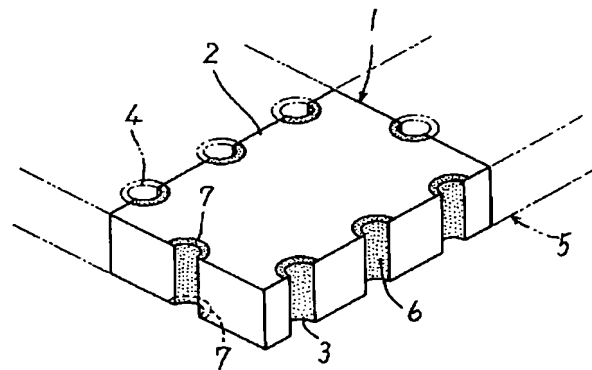
【図 3】



【図 6】



【図 9】



フロントページの続き

(51) Int. Cl. ⁶

H 0 5 K 3/40
3/46

識別記号

庁内整理番号

F I

技術表示箇所

D 7511-4E
N 6921-4E
W 6921-4E